

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088423

(43)Date of publication of application : 02.04.1996

(51)Int.Cl.

H01L 43/08
G01R 33/09
G11B 5/39

(21)Application number : 06-223445

(71)Applicant : ASAHI CHEM IND CO LTD

(22)Date of filing : 19.09.1994

(72)Inventor: OKADA ICHIRO

IMAI HIDEAKI

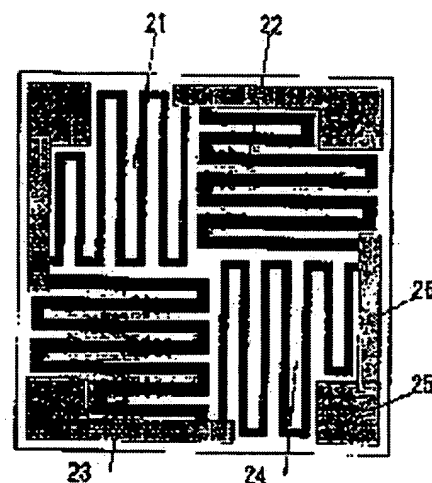
ISHIBASHI KAZUTOSHI

(54) MAGNETIC SENSOR

(57)Abstract:

PURPOSE: To make a magnetic sensor stronger against noise and more sensitive by, with the element's resistance value of at least one of four magnetoresistance effect elements in bridge connection being different, generating offset output voltage so that the offset voltage is superimposed on the output voltage of a magnetic sensor.

CONSTITUTION: A silicon substrate on which the surface of an oxide film is formed is heated and a magnetic thin film is formed on it, which becomes the area where a magnetism sensing part pattern is formed by etching. Then, this substrate is heated and a magnetic thin film is formed over the entire surface of it, and a mask pattern is formed, and by ion milling method, the magnetism sensing part pattern is so formed that it becomes magnetoresistance effect elements 21-24. Relating to the four magnetoresistance effect elements 21-24 thus formed, so that 3V offset output voltage is generated at a sensor of them, a photo-mask where the length of a magnetism sensing part element is changed is used so that the resistance values of MR elements of 21 and 23 are 2.02k Ω and those of 22 and 24 1.98k Ω .



LEGAL STATUS

[Date of request for examination] 16.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 13.10.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88423

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 43/08	Z			
G 0 1 R 33/09				
G 1 1 B 5/39				
		9307-2G	G 0 1 R 33/ 06	R
審査請求 未請求 請求項の数 4 O L (全 6 頁)				

(21) 出願番号	特願平6-223445	(71) 出願人	000000033 旭化成工業株式会社 大阪府大阪市北区堂島浜1丁目2番6号
(22) 出願日	平成6年(1994)9月19日	(72) 発明者	岡田 一朗 静岡県富士市鮫島2番地の1 旭化成工業株式会社内
		(72) 発明者	今井 秀秋 静岡県富士市鮫島2番地の1 旭化成工業株式会社内
		(72) 発明者	石橋 和敏 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

(54) 【発明の名称】 磁気センサ

(57) 【要約】

【目的】 磁気センサの出力電圧にオフセット電圧を重ねさせることにより、高感度でノイズに強く低回路電流の集積化磁気センサを提供する。

【構成】 ブリッジ接続された4つの感磁部エレメントのうち少なくとも1つのエレメントの形状を他と変えて他と異なる抵抗値を持たせ、強制的にオフセット出力電圧を発生するように構成した磁気センサ、及びこの磁気センサに波形整形回路を接続し、同一の基板上に形成し、または同一パッケージ内に収納して電氣的に結合した集積化磁気センサ。

【特許請求の範囲】

【請求項1】ブリッジ接続された4つの磁気抵抗効果エレメントからなり、該磁気抵抗効果エレメントのうち少なくとも1つのエレメントの抵抗値が他と異なり、オフセット出力電圧を発生するように構成した磁気センサ。

【請求項2】ブリッジ接続された4つの磁気抵抗効果エレメントからなり、該磁気抵抗効果エレメントのうち少なくとも1つのエレメントの抵抗値が他と異なり、オフセット出力電圧を発生するように構成した磁気センサチップと波形整形回路を、同一の基板上に形成して電気的に結合した集積化磁気センサ。

【請求項3】ブリッジ接続された4つの磁気抵抗効果エレメントからなり、該磁気抵抗効果エレメントのうち少なくとも1つのエレメントの抵抗値が他と異なり、オフセット出力電圧を発生するように構成した磁気センサチップと集積化波形整形回路チップを同一パッケージ内に収納して電気的に結合した集積化磁気センサ。

【請求項4】オフセット出力電圧の絶対値が入力電圧の0.3%以上、50%以下である請求項1ないし3に記載の磁気センサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願は、位置検出装置や電流検出装置・磁界検出装置に使用する磁気抵抗効果を利用した磁気センサ、又は該磁気センサと信号処理回路からなる集積化磁気センサに関する。

【0002】

【従来の技術】従来、磁気抵抗効果を利用した磁気センサは、図5に示すように無磁界時に同じ抵抗値を持つ4つの感磁部エレメント51～54をブリッジ接続したものとされており、有磁界時には磁気抵抗効果により感磁部エレメントの抵抗値が変化するためブリッジの平衡が崩れ、これによって発生する中点電位の差を出力電圧として取り出す構成となっている。感磁部エレメントはNi-Fe、Ni-Co等の強磁性体材料を数十～数百nm程度の薄膜にした後、パターニングを施したものである。作製例としては、真空蒸着やスパッタリングなどの方法を用いて該強磁性体薄膜をガラスや表面に酸化膜を形成したシリコン基板上に形成し、写真蝕刻等の手法でパターンを形成したのちめっきや真空蒸着で電極を形成するという手順がある。このようにして作られたセンサの入力端子間に5Vを印加し、外部の磁界が4000A/mの場合、40～100mV程度が出力端子間に得られる。この感度は、該感磁部エレメントをなす強磁性薄膜の長さとの比や膜厚により変化する。

【0003】以上に述べた磁気センサは、アナログ出力電圧を得るものであるが、単に磁石が接近したことを検出したり、コイルや導線の回りに発生する磁界を検出することにより一定以上の電流を検出したりする場合に

は、センサの出力はデジタルの方が好ましい。そこでデジタル出力をする集積化磁気センサとして、上述の磁気センサと、あるしきい値以上の出力電圧をセンサが発生した場合に出力が1の状態から2の状態に変化し、その後センサの出力電圧が、同じもしくは異なるしきい値を下回った場合に出力が2の状態から1の状態に変化するような機能をもった回路（以下比較演算回路という。）を外部に設けた構成のものがある。また、この回路をシリコンICのように集積化した回路を同一基板上に形成し、あるいはそれぞれ別個に作製した後に同一パッケージ内に収納して電気的に接続した構成のものがある。

【0004】

【発明が解決しようとする課題】上述した磁気センサに強磁性薄膜を使用した磁気抵抗効果素子を使用した場合、出力電圧は該強磁性薄膜の抵抗変化率の上限に制約され、パターンや強磁性薄膜の厚さを最適化しても一定以上の出力電圧を得ることは困難である。このような磁気センサを使用した集積化磁気センサの感磁界感度を向上させるためには、磁気センサに接続する比較演算回路のしきい値を小さくすることが考えられる。しかし耐ノイズ性が悪化することや、比較演算回路の特性が温度や電源電圧の変動などの外乱により不安定になりやすくなるために同回路のしきい値を小さくすることは困難である。その上しきい値を変えるためには回路を設計し直す必要があり、殊に現在比較演算回路に集積回路を使用している場合には集積回路の新規設計や製作に大きなコストを要するという欠点がある。

【0005】また、磁気センサ側にバイアス電流を流しておき、このバイアス電流と磁気センサの抵抗値の積で電圧しきい値を与えるように構成した比較演算回路を使用する場合は、上述した理由でバイアス電流値を小さくすることが困難である。そのため、磁気センサの出力抵抗値を小さくすることによりしきい値を下げなければならず、同時に入力抵抗も小さくなってしまい、電源電流を減少させることが困難であった。

【0006】

【課題を解決するための手段】本願は、ブリッジ接続された4つの磁気抵抗効果エレメントからなり、うち少なくとも1つのエレメントの抵抗値が他と異なり、オフセット出力電圧を発生するように構成した磁気センサに関する。または、ブリッジ接続された4つの磁気抵抗効果エレメントからなり、うち少なくとも1つのエレメントの抵抗値が他と異なり、オフセット出力電圧を発生するように構成した磁気センサチップと波形整形回路を、同一の基板上に形成して電気的に結合した集積化磁気センサに関する。

【0007】または、ブリッジ接続された4つの磁気抵抗効果エレメントからなり、うち少なくとも1つのエレメントの抵抗値が他と異なり、オフセット出力電圧を発

生するように構成した磁気センサチップと集積化波形整形回路チップを同一パッケージ内に収納して電氣的に結合した集積化磁気センサに関する。さらには、オフセット出力電圧の絶対値が入力電圧の0.3%以上、50%以下である上記のいずれかに記載の磁気センサに関する。

【0008】ここでオフセット出力電圧とは、無磁界時におけるブリッジの midpoint 電位の差の電圧をいう。従来の磁気センサにおいては、磁気センサを構成する各エレメントの抵抗値が全て等しくなるよう作製されブリッジが平衡しているので、無磁界時にはオフセット出力電圧が発生しない。なお、本願に言うオフセット出力電圧は、エレメントが消磁状態で測定したものである。

【0009】本願発明では、4つのエレメントのうち少なくとも1つのエレメントの抵抗値を他の3つと違えることにより、ブリッジの平衡を故意に崩してオフセット出力電圧を発生させる。具体的には、例えば抵抗値を変化させたいエレメントの全長を、他のエレメントと異なるものにするか、該エレメントの幅を他のエレメントと異なるものにするにより実現できる。

【0010】上記の磁気抵抗素子の製法例において、強磁性薄膜をパターンニングする際に写真蝕刻の技法を用い、その際該エレメントの長さまたは幅を違えるようなフォトマスクを使えばよい。他にも強磁性薄膜の膜厚を変化させたり、材料を変化させること等により所望のオフセット出力電圧を持つ磁気センサを作ってもよい。磁気センサにおいて正の出力電圧が得られるように外部磁界が印加される場合は、上述したオフセット出力電圧を正にとれば、大きな出力電圧を得ることができる。従って、比較演算回路のしきい値を小さくしなくても高感度な磁界の検出が可能である。

【0011】しかし、オフセット出力電圧が小さすぎると、製造上発生するオフセット出力電圧のばらつきとの区別が付きにくくなり、目的を達成しうる素子の収率が低下する。そのため、オフセット出力電圧の下限は、絶対値にして入力電圧の0.3%以上であることが必要であり、好ましくは0.5%以上、さらに好ましくは0.8%以上である。またオフセット出力電圧の上限は、単純には入力電圧まで可能である。しかし、オフセット出力電圧を大きくする場合には、各エレメントの抵抗値の違いを大きくする必要があるから、センサの感磁界感度が低下する。例えば、オフセット出力電圧を入力電圧の25%に設定すると感磁界感度は5%低下する。またオフセット出力電圧を入力電圧の50%に設定すると感磁界感度は30%低下する。従ってオフセット出力電圧の上限は、入力電圧の50%以下であることが必要であり、さらには25%以下であることが好ましい。

【0012】また、電圧しきい値を磁気センサに流すバイアス電流と磁気センサの抵抗値の積で与えるように構成した比較演算回路を使用する場合には、磁気センサの

出力抵抗値が高く、しきい値が大きな電圧となっており、動作が可能となり、電源電流の小さな集積化磁気センサを作ることができる。この場合、設定するオフセット出力電圧の大きさはバイアス電流と出力抵抗の積で与えられる電圧を上限とする電圧とする。また上述したオフセット出力電圧を負にとった場合、単純に零電圧をしきい値とする比較演算回路を使用し、該磁気センサのオフセット出力電圧の大きさを変化させることにより、様々なしきい値をもつ集積化磁気センサを作ることができる。この場合、回路が単純化され部品点数が減少するという利点を有する。

【0013】

【実施例】次にこの発明についての実施例を図面を参照して説明する。

【0014】

【実施例1】表面に200nmの酸化膜を形成した4インチφのシリコン基板を300℃に加熱し、上に、Ni80%-Fe20%からなる厚さ200nmの磁性薄膜をスパッタリング法で形成した。この磁性薄膜を硫酸アンモニウム系の腐食液を用いてエッチングし、感磁部パターンを形成する領域とした。次いでこの基板を300℃に加熱し基板全面に50nmのNi80%-Fe20%磁性薄膜をスパッタリング法で形成し、写真蝕刻の手法を用いてマスクパターンを形成し、イオンミリング法により図1に示すような磁気抵抗効果エレメントが4つあるような感磁部パターンを形成した。感磁部の幅は、磁気抵抗変化率に影響を与え、幅が広いほど感磁界感度は良好になるが、反面素子の抵抗値が小さくなってしまったり、ヒステリシスが大きくなるので、その範囲としては8μmから35μm程度、好ましくは15~25μm程度である。ここで形成した4つの磁気抵抗効果エレメントのうち、少なくとも1つのエレメントの全長もしくは幅または膜厚を他と違えることにより、オフセット出力電圧を発生させることが出来るが、図2に示すように互いに回転対称にある位置の2つのエレメントの抵抗値を等しくすることが midpoint 電位の対称性を得る意味で好ましく、ここではセンサに3Vの入力電圧を印加した場合に30mVのオフセット出力電圧を発生するように21と23のMR素子の抵抗値を2.02kΩに、22と24のMR素子の抵抗値を1.98kΩとなるように、感磁部エレメントの長さを変えたフォトマスクを使用した。

【0015】続いて、素子の電極及び配線部を形成するためにマスクパターンを形成し、電解めっき法により500nmの厚さの金属、次いで1μmの厚さのニッケル層を作製する。この上に感磁部パターンを保護する目的で、シランガスと亜酸化窒素を用いるプラズマ化学的気相成長法により1.5μmの厚さの酸化シリコン膜を形成した。素子の電極部を開けるために四フッ化炭素を用いる反応性イオンエッチング法により酸化シリコン膜の

窓開けを行い、ウエハを作製した。この方法により得られたウエハを、ダイシングソーにより 0.96 mm 角の素子チップに切断した。このチップをリードフレーム上に固定し、所定の位置をワイヤーボンディングして端子を引き出し、エポキシ樹脂で封止して磁気センサを作製した。このようにして得られた磁気センサに室温において 3 V を入力端子間に入力電圧として印加したところ、無磁界において 32.2 mV （入力電圧に対して 1.1% ）のオフセット出力電圧を得た。またソレノイドコイルを使ってセンサに磁界を与えたところ、 1500 A/m の磁界において 55.1 mV 、 3000 A/m において 77.6 mV の出力電圧が得られた。

【0016】

【比較例1】4つのエレメントの抵抗を全て $2\text{ k}\Omega$ とした以外は実施例1と同様の方法を用いて磁気センサを作製した。このセンサについても同様の測定を行ったところ、 3 V の入力電圧を印加し無磁界時において標準偏差にして 3.5 mV のばらつき（入力電圧に対して 0.12% ）が生じた。また、 1500 A/m の磁界において 22.1 mV 、そして 3000 A/m の磁界において 46.0 mV と低い出力電圧であった。

【0017】

【比較例2】実施例1と同様の手法で、オフセット出力電圧が 3 V 入力時において 8 mV （入力電圧に対して 0.27% ）であることのみが異なる磁気センサを作製した。このセンサのオフセット出力電圧を測定したところ、平均値 7.8 mV 、標準偏差 3.8 mV であった。また、作製したセンサのうち 4% のものが負のオフセット出力電圧を有しており、それらのセンサにつき実施例1と同様の測定を行ったところ、 1500 A/m の磁界において 19.3 mV 、 3000 A/m において 42.0 mV と低い出力電圧であった。

【0018】

【実施例2】実施例1と同様の方法で、磁気センサ素子チップを作製した。他方、この磁気センサを駆動するための定電圧電源回路、磁気センサからの出力電圧を増幅する回路、動作点としてセンサの出力電圧が 70 mV になると、出力がOFF状態からONの状態になり、ONの状態になっているときにセンサの出力電圧が 50 mV を下回ると再びOFFの状態に戻るような作用を持つ比較演算回路、及び出力回路を設けた $1\times 1.4\text{ mm}$ 角のシリコン集積回路を作製した。

【0019】上記により得られた各部品を組み立ててセンサとするために、1つのリードフレーム上に磁気センサとシリコン集積回路を固定し、所定の位置をワイヤーボンディングして電氣的に結合した後エポキシ樹脂で封止し、集積化磁気センサとした。このセンサに電源電圧 12 V を印加し、コイルで磁界を与えたところ、常温において 2800 A/m の磁界強度において出力が1の状態から2の状態に切り替わり、その後磁界を徐々に減じ

たところ磁界強度 1400 A/m において出力は再び2の状態から1の状態に戻ることが、再現性よく確認できた。この時の回路電流は 4.2 mA であった。

【0020】

【比較例3】比較例1で作製した磁気センサチップ及び実施例2で作製したシリコンICを用いて、実施例2の方法で集積化磁気センサを作製した。これについて同様の方法で測定を行ったところ、 5000 A/m の磁界中でも出力の状態は切りかわらず、動作させることができなかった。

【0021】

【実施例3】実施例1の手法で、オフセット出力電圧が 3 V 入力時において -30 mV であることのみが異なる磁気センサを作製した、この磁気センサに電源電圧 3 V を印加し、上述の実施例同様に測定したところ、常温において無磁界で -28.1 mV （入力電圧に対して 0.9% ）、 3000 A/m の平行磁界中で 18.0 mV の出力が得られた。このセンサに、入力電圧が 0 V 以上でON、 0 V 未満でOFFとなるゼロクロスタイプの比較演算回路を接続し、磁界を印加したところ、 1800 A/m で出力のON、OFFが切り替わった。

【0022】

【実施例4】実施例1の手法で、オフセット出力電圧が 3 V 入力時において -40 mV であることのみが異なる磁気センサを作製した、この磁気センサに電源電圧 3 V を印加し、上述の実施例同様に測定したところ、常温において無磁界で -37.9 mV （入力電圧に対して 1.3% ）、 3000 A/m の平行磁界中で 9.3 mV の出力が得られた。このセンサに、実施例3と同じく、入力電圧が 0 V 以上でON、 0 V 未満でOFFとなるゼロクロスタイプの比較演算回路を接続し、磁界を印加したところ、 2600 A/m で出力のON、OFFが切り替わった。

【0023】

【発明の効果】本発明の磁気センサを使用することにより、大きなしきい値電圧を持つ比較演算回路を使用して磁界の検出が可能となる。またしきい値電圧を、磁気センサにバイアス電流を流し、これと磁気センサの抵抗値の積で与える形式の比較演算回路を使用した場合には、磁気センサの抵抗値を大きくしてしきい値電圧が上昇した分を、磁気センサのオフセット出力電圧で補うことができるため、高感度で低回路電流の集積化磁気センサを作ることができる。さらに、該オフセット出力電圧を出力に対し負の方向に取ることにより、単純なゼロクロス検出回路のみを使って、異なる感度を持つ磁気センサアセンブリもしくは集積化磁気センサを廉価に作るができる。

【図面の簡単な説明】

【図1】この発明の磁気センサの感磁部エレメントの配置の一例を示す正面図である。

【図2】この発明の磁気センサの感磁部エレメントの配置の別の例を示す正面図である。

【図3】集積化磁気センサの一例のブロック図である。

【図4】実施例2の集積化磁気センサの正面図である。

【図5】従来の磁気センサの感磁部エレメントの配置の一例を示す正面図である。

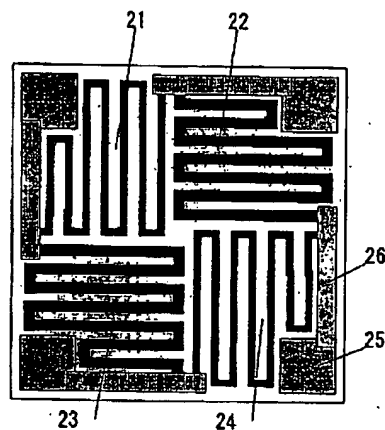
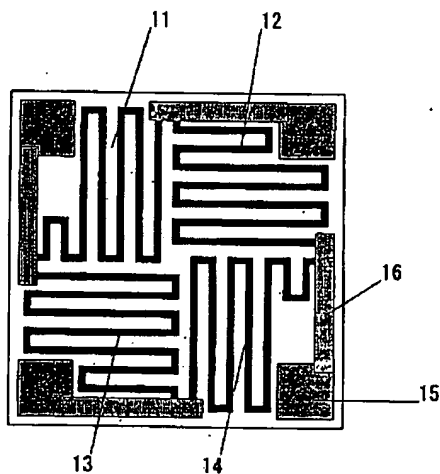
【符号の簡単な説明】

- 1 1～1 4 感磁部エレメント
- 1 5 ボンディングパッド
- 1 6 配線部
- 2 1～2 4 感磁部エレメント
- 2 5 ボンディングパッド
- 2 6 配線部
- 3 1 定電圧源
- 3 2 磁気抵抗効果素子
- 3 3 増幅器

- 3 4 ヒステリシス付き比較演算回路
- 3 5 出力トランジスタ
- 3 6 電源端子
- 3 7 接地端子
- 3 8 出力端子
- 4 1 モールド外形
- 4 2 リードフレーム
- 4 3 リードフレーム
- 4 4 磁気抵抗効果素子
- 4 5 集積回路
- 4 6 ボンディングパッド
- 4 7 ボンディングパッド
- 4 8 ワイヤ
- 5 1～5 4 感磁部エレメント
- 5 5 ボンディングパッド
- 5 6 配線部

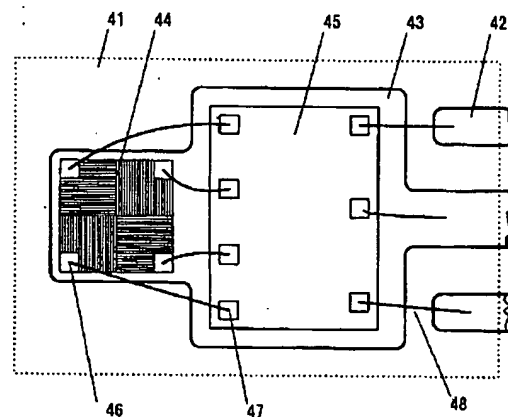
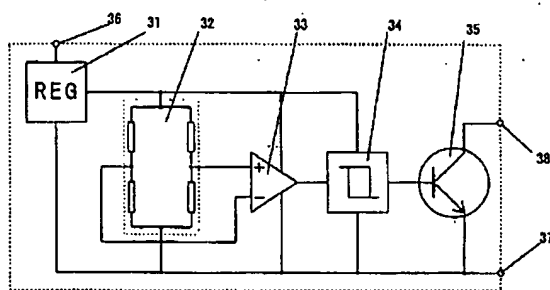
【図1】

【図2】



【図3】

【図4】



【図5】

